

SERIAL DATA TRANSMISSION SYSTEM

Patent Number: JP4020138
Publication date: 1992-01-23
Inventor(s): SAGAWA AKIHIKO
Applicant(s):: HITACHI SEIKO LTD
Requested Patent: ☐ JP4020138
Application Number: JP19900124821 19900515
Priority Number(s):
IPC Classification: H04L7/00 ; H04L25/02 ; H04L25/38
EC Classification:
Equivalents:

Abstract

PURPOSE:To detect a transmission error due to fluctuation being extension of the sum between a transmission required time for a serial data and a pause time by outputting a transmission error signal from a discrimination circuit when a start bit of a succeeding serial data is not received in a timing set by a timing setting circuit.

CONSTITUTION:The system is provided with a timing setting circuit 60 measuring the lapse of time after the reception of a start bit at a receiver side and setting a timing of the reception of a start bit of a succeeding serial data and a discrimination circuit 61 discriminating whether or not a start bit of a succeeding serial data is received in the timing set by the discrimination circuit 61 and outputting a transmission error signal to a monitor 5 or the like monitoring the operating state of the system when the start bit is not received. Thus, the system allows the monitor 5 or the like to take restoration countermeasure. Thus, the deterioration in the reliability of the system due to a delay in a reception timing of a serial data is prevented.

Data supplied from the esp@cenet database - 12

1

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-20138

⑬ Int.Cl.⁵

H 04 L 7/00
25/02
25/38

識別記号

3 0 1 H
D
C

庁内整理番号

8949-5K
8226-5K
8226-5K

⑭ 公開 平成4年(1992)1月23日

審査請求 未請求 請求項の数 2 (全7頁)

⑮ 発明の名称 シリアルデータ伝送システム

⑯ 特 願 平2-124821

⑰ 出 願 平2(1990)5月15日

⑱ 発 明 者 佐 川 昭 彦 神奈川県海老名市上今泉2100番地 日立精工株式会社内
⑲ 出 願 人 日立精工株式会社 神奈川県海老名市上今泉2100番地
⑳ 代 理 人 弁理士 小林 保 外1名

明 細 書

1. 発明の名称

シリアルデータ伝送システム

2. 特許請求の範囲

(1) 先頭にスタートビットを付加した複数ビットからなるシリアルデータを、1ビットのデータ信号幅に対応した周期のクロック信号と共に所定期間で送信側から受信側に伝送するシリアルデータ伝送システムにおいて、

受信側に、前記スタートビットを受信してからの時間経過を計測し、次のシリアルデータのスタートビットが受信されるべきタイミングを設定するタイミング設定回路と、このタイミング設定回路が設定したタイミングにおいて次のシリアルデータのスタートビットが受信されたか否かを判定し、受信されない時は伝送異常信号をシステムの動作状態を監視している監視装置等に出力する判定回路とから成る伝送異常検出装置を設けたことを特徴とするシリアルデータ伝送システム。

(2) 前記タイミング設定回路は送信側からのク

ロック信号をカウントすることにより、次のシリアルデータのスタートビットが受信されるべきタイミングを設定するものである請求項1記載のシリアルデータ伝送システム。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、先頭にスタートビットを付加した複数ビットからなるシリアルデータを、1ビットのデータ信号幅に対応した周期のクロック信号と共に所定期間で送信側から受信側に伝送するシリアルデータ伝送システムに関するものである。

〔従来の技術〕

複数ビットから成るデータを送信側から受信側に伝送する場合、データを複数ビット並列に伝送すれば、その伝送所要時間は短くて良いが、並列の伝送線路を敷設する必要があるので、伝送線路の敷設空間に余裕がない工作機械、自動車のエンジンルーム等では、データをシリアルに伝送する方法が用いられる。

第4図は、複数ビットからなるデータをシリア

ルに伝送する従来のシリアルデータ伝送システムの最も基本的な構成を示すブロック図であり、送信回路1、受信回路2、シリアルデータSDを伝送するデータ伝送線路3、1ビットのデータ信号幅に対応した周期のクロック信号CLKを伝送するクロック伝送線路4とから構成されている。

シリアルデータSDは、第5図のデータフォーマット例に示すように、先頭に1ビット構成のスタートビットSTB（“H”レベル）、その後8ビットのデータ部Dが付加された構成である。そして、シリアルデータSDの伝送所要時間を T_a 、次のシリアルデータSDが伝送されるまでの休止時間 T_b とすると、シリアルデータSDは第6図に示すように、「 $T_a + T_b$ 」時間周期で送信回路1から受信回路2に順次伝送される。クロック信号CLKの一周期を t とすれば、第5図のフォーマット例を適用した第6図の伝送形態では、 $T_a = 9t$ 、 $T_b = 5t$ となる。

一方、クロック信号CLKとシリアルデータSDとは第7図のタイムチャートのように対応付け

られ、シリアルデータSDの各ビットの変化（ $0 \rightarrow 1$ 、 $1 \rightarrow 0$ ）は、クロック信号CLKの立上りをトリガ信号として利用しており、クロック信号CLKに同期している。

受信回路2は、第7図のようなタイミング関係でシリアルデータSDが伝送されてきたならば、クロック信号CLKの立上りに同期して、まず、スタートビットSTBを確認し、次に後続のデータ部Dをシフトレジスタ等に取り込んで8ビットの並列データに変換し、この変換出力データによって予め定められたデータ処理、あるいは被制御器の制御等を行なう。

なお、送信回路1、受信回路2はのシステム全体の動作状態を監視する監視装置5により監視されている。

このように、「 $T_a + T_b$ 」時間周期でシリアルデータSDを順次伝送するシステムでは、シリアルデータSDの伝送所要時間を T_a 、休止時間 T_b を固定の定数と考え、受信回路2を構成する場合がある。このような受信回路では、例えば、

最初のスタートビットSTBを受信した「 $T_a + T_b$ 」時間後に次のスタートビットSTBを受信するように受信タイミングを設定する。そして、この設定された受信タイミングで新たなスタートビットSTBをサンプリングし、正規のスタートビットSTBを確認できたならば、その後続のデータ部Dのデータを取り込んで内容を解読する手順に移行する。

【発明が解決しようとする課題】

しかしながら、送信回路1に誤動作が生じて次のシリアルデータSDの送信タイミングが遅れた場合、あるいはクロック伝送線路4にノイズ等が重畳してクロック信号CLKの数が変化してしまうと、固定の定数と考えていた「 $T_a + T_b$ 」時間が変化してしまう。このため、上記のように、

「 $T_a + T_b$ 」時間を固定の定数と考えて受信回路2を構成した場合においては、例えば、 $T_b = 5t$ であったものが $T_b = 7t$ に延びると、スタートビットSTBが受信されるべきタイミングで受信されないため、後続のデータ部Dの内容に基

づく処理や制御ができなくなる。

逆に、 $T_b = 5t$ であったものが $T_b = 2t$ に短縮されると、データ部Dに存在する“H”レベルのビットをスタートビットSTBとしてサンプリングしてしまい、その後続のビットをデータ部Dとして取り込むことになるので、誤った情報が伝達されて制御誤りが生じ、システムの信頼性を低下させるという問題があった。

本発明は上記のような事情に鑑みなされたもので、シリアルデータSDの伝送所要時間 T_a 、次のシリアルデータSDが伝送されるまでの休止時間 T_b の和が延びる方向の変動に起因する伝送異常を検出し、システムの信頼性の低下を防止することができるシリアルデータの伝送システムを提供することを目的とする。

【課題を解決するための手段】

上記目的を達成するために本出願の第1の発明は、先頭にスタートビットを付加した複数ビットからなるシリアルデータを、1ビットのデータ信号幅に対応した周期のクロック信号と共に所定周

期で送信側から受信側に伝送するシリアルデータ伝送システムにおいて、受信側に、前記スタートビットを受信してから時間経過を計測し、次のシリアルデータのスタートビットが受信されるべきタイミングを設定するタイミング設定回路と、このタイミング設定回路が設定したタイミングにおいて次のシリアルデータのスタートビットが受信されたか否かを判定し、受信されない時は伝送異常信号をシステムの動作状態を監視している監視装置等へ出力する判定回路とから成る伝送異常検出装置を設けた。

また、第2の発明は、前記タイミング設定回路は送信側からのクロック信号をカウントすることにより、次のシリアルデータのスタートビットが受信されるべきタイミングを設定するようにした。

【作用】

上記構成によれば、タイミング設定回路が設定したタイミングにおいて次のシリアルデータのスタートビットが受信されない時は、伝送異常信号が判定回路から出力されるので、監視装置に復旧

いる。

まず、タイミング設定回路60は、クロック信号CLKを反転するインバータ600、スタートビットSTBを受信したことによりセットされるフリップフロップ601、スタートビットSTBを受信した後のクロック信号CLKをカウントする4ビットカウンタ602、インバータ603およびナンドゲート604から成り、カウンタ602のカウント値が「14」（10進表示）になったことを検出するデコーダ605、このデコーダ605の出力信号を反転するインバータ606、フリップフロップ601のクロック端子にクロック信号を入力するアンドゲート607、カウンタ602のクロック端子にクロック信号を入力するアンドゲート608を備え、さらにオアゲート610、アンドゲート609を備え、前記インバータ606から次のスタートビットSTBが受信されるべきタイミングを示すタイミング信号TMGが出力される。

次に、判定回路61は最初のスタートビットS

対策を行なわせる等の処置によってシステムの信頼性が低下するのを防止することができる。

【実施例】

以下、本発明を図面に基づいて詳細に説明する。

第1図は、本発明のシリアルデータ伝送システムの全体構成を示すブロック図であり、従来構成に対して、伝送異常検出回路6を新たに設けている。

この伝送異常検出回路6は、第2図に詳細構成の一実施例を示しているように、受信回路2と並列にスタートビットSTBを受信し、このスタートビットSTBを受信してから時間経過を計測し、次のシリアルデータSDのスタートビットSTBが受信されるべきタイミングを設定するタイミング設定回路60と、このタイミング設定回路60が設定したタイミングにおいて次のシリアルデータSDのスタートビットSTBが受信されたか否かを判定し、受信されない時は伝送異常信号ALMをシステムの動作状態を監視している監視装置5へ出力する判定回路61とから構成されて

TBの受信後にセットされ、前記タイミング信号TMGの発生タイミングにおいて“H”レベルのスタートビットSTBが正常に受信されなかった時はリセットされるフリップフロップ611、このフリップフロップ611のセット出力Qとタイミング設定回路60のフリップフロップ601のセット出力Qとを比較し、両者が不一致ならば“H”レベルの異常検出信号ALMを出力する排他的論理和ゲート612、前記異常検出信号ALMから所謂ひげパルスを除き、誤検出を防止するためのコンデンサ613とを備えている。

なお、シリアルデータSDは第5図に示すように、「 $T_a + T_b$ 」時間周期で送信回路1から受信回路2に繰返し伝送され、 $T_a = 9t$ 、 $T_b = 5t$ が正常であるものとする。

次に、上記回路の動作を第3図のタイムチャートを参照して説明する。なお、フリップフロップ601、611およびカウンタ602は電源投入時に初期化される。

まず、送信回路1から第5図～第7図に示した

形態でシリアルデータSDおよびクロック信号CLKが送信されると、伝送異常検出回路6は受信回路2と共にこれらシリアルデータSDおよびクロック信号CLKを受信する。

この時、送信回路1およびデータ伝送線路3、クロック伝送線路4が正常であれば、受信回路2および伝送異常検出回路6では、クロック信号CLKと共にスタートビットSTBを受信する。

例えば、シリアルデータSDの8ビット構成のデータ部Dが「00000000」あったとすると、第3図(a)に示すようなクロック信号CLKが受信され、また第3図(b)に示すようにスタートビットSTBのみが“H”レベルとなっているシリアルデータSDが受信される。受信されたシリアルデータSDはフリップフロップ601、611のデータ端子に入力されるが、フリップフロップ601のクロック端子には、クロック信号CLKをインバータ600で反転した信号とフリップフロップ601の反転セット出力Qとの論理積出力信号がアンドゲート607から入力される

になっているが、未だカウンタ602のカウント値が「14」になっていないので、フリップフロップ601がセットした条件でアンドゲート608の論理積が成立する。このアンドゲート608の出力信号はカウンタ602のクロック端子に入力されているので、カウンタ602は第3図(h)に示すようにフリップフロップ601がセットされた直後のクロック信号CLKの立上りタイミングでカウント値が「1」となる。

そして、スタートビットSTBの後続のデータ部Dの各ビットが受信されるようになるが、伝送異常検出回路6では、カウンタ602のカウント値が「14」になるまでクロック信号CLKをカウントするのみである。すなわち、カウンタ602のカウント値が「14」になるまでアンドゲート608の論理積が成立し続けているので、カウンタ602はクロック信号CLKが受信される毎にカウントアップされる。そして、休止時間Tbが終了する1クロック周期t秒前になると、カウント値が「14」になる。すると、デコーダ60

5になっているため、フリップフロップ601は第3図(c)に示すようにスタートビットSTBを受信した直後のクロック信号CLKの立ち下がりがリタイミングでセットされる。

一方、フリップフロップ611のクロック端子にはアンドゲート609の論理積信号が入力されるようになっているが、スタートビットSTBを受信した直後のクロック信号CLKの立ち下がりがリタイミングではフリップフロップ601がセットされていないので、オアゲート610の出力信号が“H”レベルとなり、アンドゲート609の論理積がクロック信号CLKの立ち下がりがリタイミングで成立する。このため、フリップフロップ611も第3図(f)に示すようにセットされる。

フリップフロップ601がセットされると、“H”レベルのセット出力Qがアンドゲート608に入力される。このアンドゲート608には、クロック信号CLKの他に、カウンタ602のカウント値が「14」になった時に“L”レベルとなる信号がデコーダ605から入力されるように

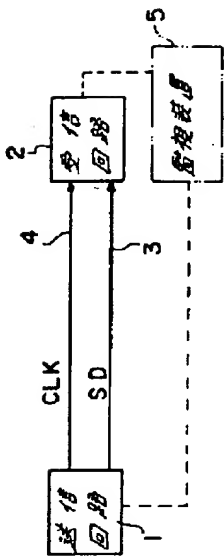
5の論理積が成立し、該デコーダ605からカウンタ602のカウント値が「14」になったことを示す“L”レベルの信号が出力される。これによって、アンドゲート608では論理積が否定されるようになる。

一方、カウント値が「14」になったことを示す“L”レベルの信号はインバータ606で反転され、第3図(d)に示すようなタイミングTMGとなってオアゲート610を介してアンドゲート609に入力される。

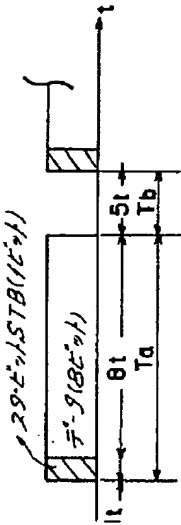
アンドゲート609には、前記タイミング信号TMGとの論理積をとるべく、インバータ600で反転されたクロック信号CLKが入力されているので、該アンドゲート609は第3図(e)に示すように、カウント値が「14」になった後のクロック信号CLKの立ち下がりがリタイミングで“H”レベルの信号を出力し、フリップフロップ611のクロック端子に入力する。

このアンドゲート609から“H”レベルの信号を出力するタイミングは、伝送線路等が全て正

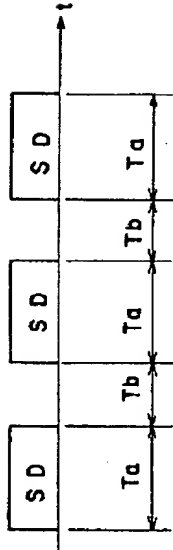
第4図



第5図



第6図



第7図

